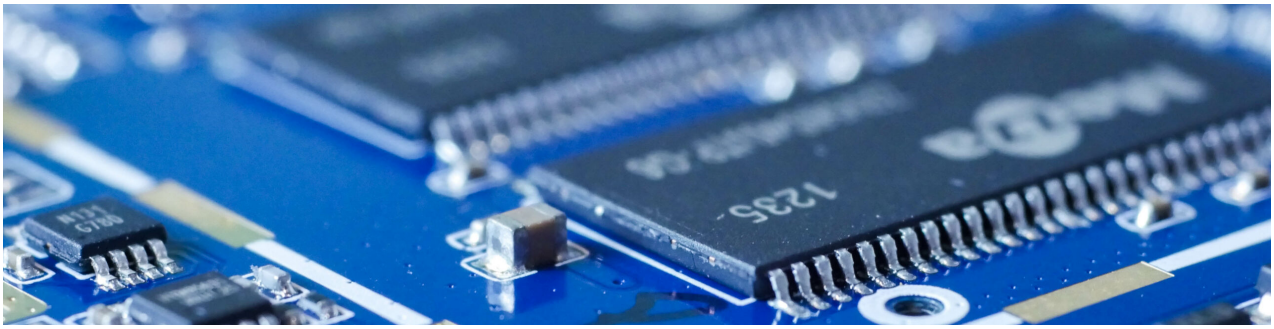

semify

VEREINFACHEN SIE DAS LEBEN VON VERIFIKATIONSINGENIEUREN, INDEM SIE IHNEN HELFEN, FEHLERBEHAFTETES SIMULATIONEN SCHNELLER ZU ANALYSIEREN UND ZU VERSTEHEN

In der Regel besteht der Großteil der Funktion heutiger Halbleiterbausteins aus digitalen Schaltungen. Bei der Entwicklung dieser digitalen Schaltungen für ASICs (Application Specific Circuit) als auch für FPGAs (Field Programable Gate Array) nimmt die Verifikation einen sehr großen Anteil des Entwicklungsaufwandes in Anspruch. Abhängig von der Funktion des Halbleiterbausteins kann dieser Anteil bis zu 50% des Entwicklungsaufwandes ausmachen.

Bei einer genauen Analyse der Verifikationsaufwände stellt sich heraus, dass das Debugging (analysieren von Fehlern, die bei der Verifikation auftreten) den größten Teil des Verifikationsaufwandes darstellt Debugging ist eine Aufgabe, die immer noch mit einem sehr großen Anteil an manueller Ingenieursarbeit verbunden ist und stellt daher ein großes Potential zur Automatisierung dar.

Genau an dieser Stelle setzt das Tool „ErrorAnalyzer“ an. ErrorAnalyzer analysiert die auftretenden Fehlermuster und schlägt dem Verifikationsingenieur die wahrscheinlichsten Fehlermuster vor. Basierend auf den vorgeschlagenen Fehlermustern ist es dann dem Verifikationsingenieur möglich, schnell und effizient den Grund für den Fehler herauszufinden. Dabei ist es unerheblich, ob der Fehler bei der Implementation der digitalen Schaltung oder in der Verifikationsumgebung aufgetreten ist.

Die Analyse des Fehlermusters ist ein Arbeitsschritt, der bis jetzt manuell durchgeführt wird. Aus diesem Grund erreicht man durch den Einsatz des ErrorAnalyzers eine signifikante Produktivitätssteigerung bei der Verifikation von digitalen Schaltungen.

TEAM SEMIFY

Contact: Office (office@semify-eda.com)
Website: https://www.semify-eda.com